

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-351024

(43) 公開日 平成4年(1992)12月4日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 17/00	C	7189-5K		
G 0 1 R 29/08	B	7808-2G		

審査請求 未請求 請求項の数 1 (全 5 頁)

(21) 出願番号 特願平3-123999

(22) 出願日 平成3年(1991)5月28日

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 永田 和生

東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

(72) 発明者 吉田 隆

東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

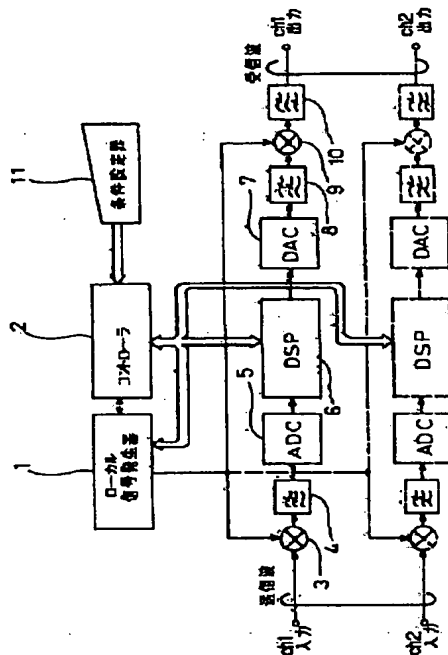
(74) 代理人 弁理士 小沢 信助

(54) 【発明の名称】 マルチバスフェージングシミュレータ

(57) 【要約】

【目的】 多様なマルチバスフェージングシミュレーションを正確に、かつ、容易に実現することである。

【構成】 本発明は、A/D変換器と、デジタル信号処理部と、D/A変換器とを備え、マルチバスフェージング現象をデジタル信号処理にて解析するようにしたことを特徴とする。デジタル信号処理部は、例えば、DSP (デジタルシグナルプロセッサ) 6により構成される。



【特許請求の範囲】

【請求項1】 マルチパスフェージング現象をシミュレートするためのマルチパスフェージングシミュレータであって、入力信号の周波数を変換する入力周波数変換器と、この入力周波数変換器を介した信号をデジタル信号に変換するA/D変換器と、このA/D変換器によってA/D変換された信号についてデジタル信号処理を施し、遅延時間が異なる電波の合成波に相当する信号を形成するデジタル信号処理部と、このデジタル信号処理部からの信号をアナログ信号に変換するD/A変換器と、このD/A変換器からの信号の周波数を変換する出力周波数変換器とを有し、前記入力信号として送信波が供給され、前記出力周波数変換器の出力が受信機のアンテナ端子に供給されるようになっていて、これを特徴とするマルチパスフェージングシミュレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は移動通信（特に、デジタルマイクロ波無線器を用いた通信）におけるマルチパスフェージングの評価を行うためのマルチパスフェージングシミュレータに関する。

【0002】

【従来の技術】 移動通信では、移動無線機が受信する電波は、例えば、図6に示すように送信アンテナから複数の経路を通して、遅延時間の異なる電波の合成波として受信される。このため、受信電界が移動体の移動速度によって変動し、いわゆるマルチパスフェージングが生じ、振幅、位相の短期的変動や遅延時間分散により、復調波形の歪みが生じやすい。特に、デジタルマイクロ波通信は伝送速度が向上しているため、従来の狭帯域アナログFM方式に比べ、この遅延時間分散による波形歪みの伝送品質に与える影響が大きく、フェージングに対する無線器の耐久性を評価することが重要となる。

【0003】 図7に示すように、マルチパスフェージングシミュレータ300は、その入力端子に送信機100を接続して送信波を与え、その出力を受信機200のアンテナ端子に接続するだけで、上述した遅延時間分散や波形歪み等の試験を行えるものである。

【0004】 従来のマルチパスフェージングシミュレータは、図5に示すように、アナログ回路により構成されている。本従来例は6波伝搬路モデルを形成しており、ローカル信号発生器31からのローカル信号を用いた周波数変換部（33, 34, 40, 41）と、信号分配器（35, 39）と、遅延器36a～36e、減衰器37a～37f、変調器38a～38fとを有している。遅延路、減衰路、変調器からなるアナログ回路のセットは、伝搬路モデルのパス数に対応して用意される。

【0005】

【発明が解決しようとする課題】 上述した従来のフェージングシミュレータは、伝搬路モデルのパス数に対応し

て、遅延路、減衰路、変調器からなるアナログ回路のセットを用意しなければならないため、パス数が多くなればなるほど回路が複雑化する。また、パス毎にアナログ回路を構成しなければならないために制限が多く、マルチパスフェージングのシミュレーションの自由度が制限される。

【0006】 本発明はこのような問題点に着目してなされたものであり、その目的は、多様なマルチパスフェージングシミュレーションを正確に、かつ、容易に実現することにある。

【0007】

【課題を解決するための手段】 本発明は、A/D変換器と、デジタル信号処理部と、D/A変換器とを備え、マルチパスフェージング現象をデジタル信号処理にて解析するようにしたことを特徴とする。

【0008】 デジタル信号処理部は、例えば、DSP（デジタルシグナルプロセッサ）により構成される。

【0009】

【作用】 DSPは基本的に演算手段を持つ計算機であり、RAMからの設定により種々の自由な設定が可能である。よって、一つのDSPで、種々のマルチパス条件を実現できる。このため、アナログ回路のようにパス数に対応して処理回路を設ける必要がなく、デジタル処理を共用して、不要な制限を排してシミュレーションを実行できるようになる。すなわち、遅延量、周波数特性、変調機能、パス数等を自由に設定できるようになる。また、設定条件の変更のみにより対処できるため、回路構成を簡素化することができる。また、アナログ処理に比べてノイズにも強く、正確なシミュレーションが可能となる。

【0010】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例の構成を示す図である。

【0011】 本実施例は、1本のチャンネル（パス）は、ミキサ3、ローパスフィルタ4、A/Dコンバータ5、DSP（デジタルシグナルプロセッサ）6、D/A変換器7、ローパスフィルタ8、ミキサ9、バンドパスフィルタ10により構成される。チャンネルは必要に応じて複数本、設けられ、これらの特性はコントローラ2により統括的に制御される。コントローラ2には、条件設定器11よりシミュレーション条件が与えられる。

【0012】 また、ローカル信号発生器1から出力されるローカル信号はミキサ3、9により処理信号と混合され、周波数変換が行われる。ミキサ3では、信号はA/D変換器5の帯域内のIF（中間周波）信号に変換され、ミキサ9では、逆に、もとのRF信号に復元される。

【0013】 DSP6は、図2に示すように、乗算器を内蔵する1チップマイクロコンピュータであり、デジタ

3

ル信号処理（ほとんどは積和演算の繰返しによるフィルタリング処理）を高速に実行するために独特のアーキテクチャを採用している。すなわち、2つのデータが乗算器22に同時に入力できるように2つのデータRAM20, 21を有しており、さらに、乗算結果をすぐに加算演算に使えるように乗算器22の出力をALU23の入力端に接続している。また、図示されないが、命令メモリはデータメモリと分離し、命令フェッチとデータアクセスを並列に動作させ高速化し、さらに、水平マイクロコードを用いて内部機能の並列化を促進している。

【0014】例えば、信号の遅延はDSP内の信号データ格納位置をシフトすれば仮想的に実現できる。図3(a)のようなトランスバースフィルタの場合、信号は遅延時間おきに次のタップに移行し、このような遅延は、プログラム上は、図3(b)に示すように信号データの格納位置をシフトさせることにより実現される。コントローラ2はシミュレーション条件に応じた命令セットを複数具備しており、条件設定器11からの指示を解釈して、DSP6に必要な情報を与えることにより、DSP6内で、上述したような種々の演算を行わせる。

【0015】マルチパスフェージングの他に、空間ダイバシティも考慮したシミュレーションを実行する場合には、図4のように、マルチパスフェージングシミュレータ33を例えば、2チャンネル化して用いる。

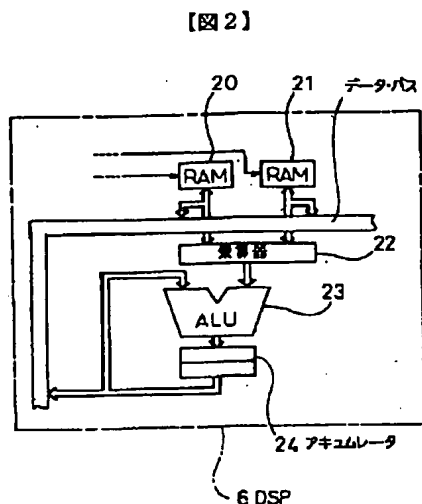
【0016】

【発明の効果】以上説明したように本発明は、アナログ回路ではなく、シミュレータをDSP化し、マルチパスフェージング現象をデジタル信号処理により行うことにより、自由度が高く、正確なシミュレーションを容易に行うことができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】DSP6の構成例を示す図である。



4

【図3】(a)はトランスバースフィルタにおける信号の移行（遅延時間おきの次のタップへの移行）状態を示す図、(b)は、(a)の構成のプログラムによる実現方法の一例（信号データの格納位置をシフトさせる方法）を示す図である。

【図4】空間ダイバシティも考慮したシミュレーションを行う場合のシステム構成例を示す図である。

【図5】従来例の構成を示す図である。

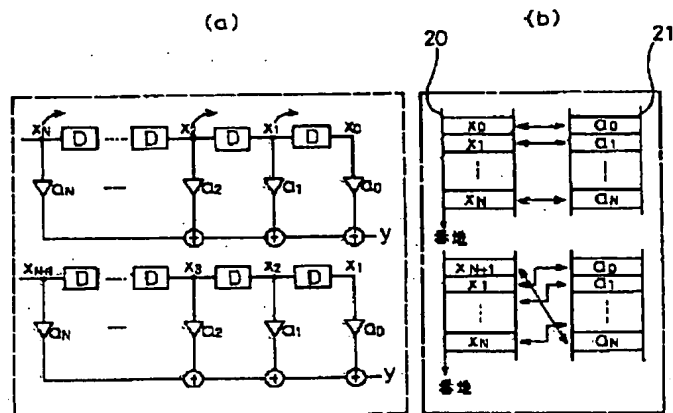
【図6】マルチパスフェージング現象を説明するための図である。

【図7】マルチパスフェージングシミュレータの基本的な使用形態を示す図である。

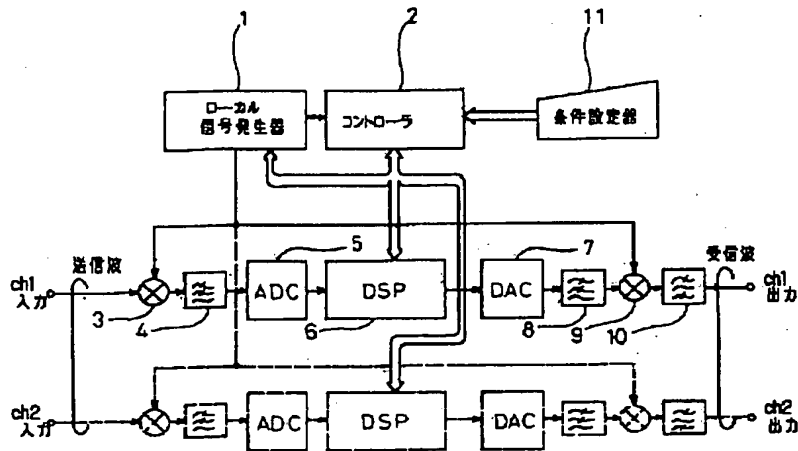
【符号の説明】

- 1 ローカル信号発生器
- 2 コントローラ
- 3 ミキサ
- 4 ローパスフィルタ
- 5 A/D変換器
- 6 DSP
- 7 D/A変換器
- 8 ローパスフィルタ
- 9 ミキサ
- 10 バンドパスフィルタ
- 20, 21 データRAM
- 22 乗算器
- 23 ALU
- 24 アキュムレータ
- 30 送信器
- 31 送信アンテナ
- 32 受信アンテナ
- 33 マルチパスフェージングシミュレータ
- 34 受信器

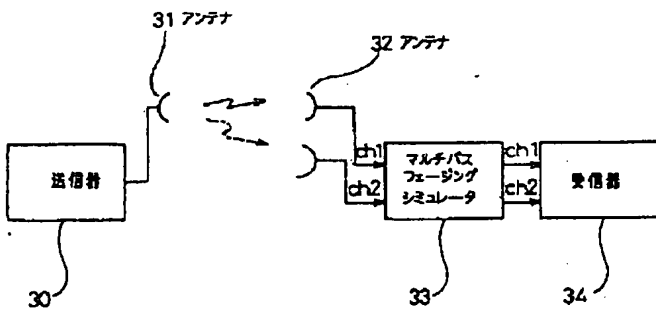
【図3】



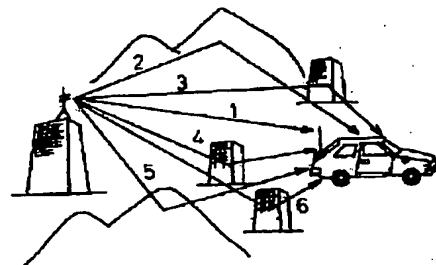
【図1】



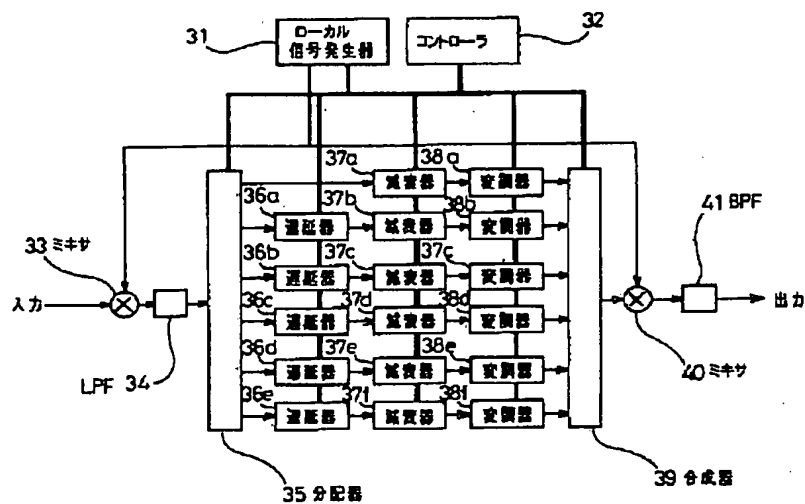
【図4】



【図6】



【図5】



(5)

特開平4-351024

【図7】

